

03500.017385.



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

| | | |
|----------------------------|---|----------------------------------|
| In re Application of: |) | |
| | : | Examiner: Not Yet Assigned |
| YUKIHIRO HAYAKAWA ET AL. |) | |
| | : | Group Art Unit: Not Yet Assigned |
| Application No. 10/615,288 |) | |
| | : | |
| Filed: July 9, 2003 |) | |
| | : | |
| For: SEMICONDUCTOR DEVICE |) | |
| AND LIQUID JETTING DEVICE | : | |
| USING THE SAME |) | October 28, 2003 |

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Sir:

In support of Applicants' claim for priority under 35 U.S.C. § 119, enclosed is
a certified copy of the following foreign application:

2002/201687, filed July 10, 2002.

Applicants' undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,

Peter G. Thunhor
Attorney for Applicants

Registration No. 47,138

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

NY_MAIN 385146v1

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 7 月 1 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 0 1 6 8 7
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 0 1 6 8 7]

出 願 人 キヤノン株式会社
Applicant(s):

2 0 0 3 年 7 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 4751065

【提出日】 平成14年 7月10日

【あて先】 特許庁長官 殿

【国際特許分類】 B41J 2/05

【発明の名称】 半導体装置及びそれを用いた液体吐出装置

【請求項の数】 12

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 早川 幸宏

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 下津佐 峰生

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 藤田 桂

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びそれを用いた液体吐出装置

【特許請求の範囲】

【請求項 1】 複数個の電気熱変換体と、前記複数個の電気熱変換体に電流を流すための複数個のスイッチング素子とが第 1 導電型の半導体基体を集積化された半導体装置において、

前記スイッチング素子は、

前記半導体基体の一主表面に設けられた第 2 導電型の第 1 の半導体領域と、

チャンネル領域を提供するための、前記第 1 の半導体領域に隣接して設けられた第 1 導電型の第 2 の半導体領域と、

前記第 2 の半導体領域の表面側に設けられた第 2 導電型のソース領域と、

前記第 1 の半導体領域の表面側に設けられた第 2 導電型のドレイン領域と、

前記チャンネル領域上にゲート絶縁膜を介して設けられたゲート電極と、

を有する絶縁ゲート型電界効果トランジスタであり、

前記半導体基体の抵抗率が $5 \sim 18 \Omega \text{ cm}$ であり、前記第 1 の半導体領域は前記半導体基体の深さ方向に $2.0 \sim 2.2 \mu \text{ m}$ の深さで形成され、その不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{18} / \text{cm}^3$ であることを特徴とする半導体装置。

【請求項 2】 前記第 2 の半導体領域が、前記半導体基体に隣接して形成されている、請求項 1 に記載の半導体装置。

【請求項 3】 前記半導体基体の抵抗率が $5 \sim 16 \Omega \text{ cm}$ である、請求項 1 に記載の半導体装置。

【請求項 4】 前記複数の電気熱変換体の配列方向と前記複数のスイッチング素子の配列方向が平行である、請求項 1 又は 2 に記載の半導体装置。

【請求項 5】 一つの前記電気熱変換素子に対して少なくとも 2 つの前記絶縁ゲート型電界効果トランジスタの前記ドレイン領域が接続されているとともに、前記少なくとも 2 つの絶縁ゲート電界効果トランジスタの前記ソース領域は共通に接続されている、請求項 1 又は 2 に記載の半導体装置。

【請求項 6】 前記絶縁ゲート型電界効果トランジスタの実効チャンネル長が、前記第 2 の半導体領域と前記ソース領域との横方向の不純物拡散量の差で決

定される、請求項 1 または 2 に記載の半導体装置。

【請求項 7】 前記ソース領域を貫通するように電極取出し用の第 1 導電型の拡散層が形成されている、請求項 1 又は 2 に記載の半導体装置。

【請求項 8】 前記ゲート電極は、そのドレイン側が前記ゲート絶縁膜よりも厚い絶縁膜上に設けられている、請求項 1 又は 2 に記載の半導体装置。

【請求項 9】 前記ゲート電極は、そのドレイン側がフィールド絶縁膜上に設けられている、請求項 1 又は 2 に記載の半導体装置。

【請求項 10】 前記電気熱変換体に対応した液体吐出口が形成されている、請求項 1 又は 2 に記載の半導体装置。

【請求項 11】 前記電気熱変換体は前記半導体基体上に形成された薄膜抵抗体からなる、請求項 1 又は 2 に記載の半導体装置。

【請求項 12】 液体吐出装置において、
前記電気熱変換体に対応した液体吐出口が形成されている請求項 1 ～ 11 のいずれか 1 項に記載の半導体装置と、

前記電気熱変換体により前記液体吐出口から吐出される液体を収容する液体収容器と、

前記半導体装置の前記絶縁ゲート型電界効果トランジスタを駆動するための駆動制御信号を供給する制御器と、

を備えたことを特徴とする液体吐出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びそれを用いた液体吐出装置に関し、特に複写機、ファクシミリ、ワードプロセッサ、コンピュータ等の情報機器の出力用端末として用いられる記録装置、或いは、DNAチップ、有機トランジスタ、カラーフィルタなどの作製に用いられる装置などに適用できる液体吐出装置と、その液体吐出装置などに好適に用いられる半導体装置に関する。

【0002】

【従来の技術】

以下、液体吐出装置として、インクジェットプリンタのような記録装置を例に挙げて説明する。

【0003】

従来の記録装置には、その記録ヘッドとして、電気熱変換素子とその電気熱変換素子を駆動する半導体装置（以下、電気熱変換素子駆動用半導体装置と称する）が搭載されている。

【0004】

図19は従来のインクジェット記録ヘッドの一部分の断面構造を模式的に示す断面図である。101は単結晶シリコンからなる半導体基体である。102はp型のウエル領域、108はn型のドレイン領域、115はn型の電界緩和ドレイン領域、107はn型のソース領域、104はゲート電極であり、これらでMIS（金属絶縁半導体）型電界効果トランジスタを用いた電気熱変換素子駆動用半導体装置130を形成している。

【0005】

また、117は蓄熱層及び絶縁層としての酸化シリコン層、118は熱抵抗層としての窒化タンタル膜、119は配線としてのアルミニウム合金膜、及び120は保護層としての窒化シリコン膜であり、以上で記録ヘッドの基体140を形成している。ここでは、150が発熱部となり、160からインクが吐出される。また、天板170は基体140と協働して液路180を画成している。

【0006】

これ以外にも、電気熱変換素子駆動用半導体装置は、特開平5-185594号公報、特開平6-069497号公報、特開平10-034898号公報等に開示されている。

【0007】

これとは別に、電気熱変換素子の駆動用以外の用途に用いる、絶縁ゲート型トランジスタとしては、特開昭62-098764号公報、特開平5-129597号公報、特開平8-097410号公報、特開平9-307110号公報などに記載された構造が知られている。

【0008】

【発明が解決しようとする課題】

ところで、上記の従来構造の記録ヘッド、及び上記の電気熱変換素子駆動用半導体装置に対しては、これまで、数多くの改良が加えられてきたが、近年製品に対して、高速駆動化、省エネルギー化、高集積化、低コスト化、及び高性能化がより一層求められるようになった。特に従来のヘッドの構成では、スイッチング素子の高密度集積化が不十分であった。又、動作時の耐電圧が低いことに起因する基板電圧の上昇やラッチアップが生じ易かった。

【0009】

更に、絶縁ゲート型トランジスタを電気熱変換体の駆動用などに用いる場合、耐電圧を向上させることだけでなく、高速駆動化、省エネルギー化、高集積化、低コスト化、及び高性能化がより一層求められるようになり、それに伴い、従来知られた一般的な半導体装置の構成では、トランジスタを高密度集積化した場合における、トランジスタの素子の特性均一性が不十分であった。

【0010】

本発明の第1の目的は、耐電圧性に優れたスイッチング素子群が占めるチップ上の占有面積を減少させて、電気熱変換素子駆動用半導体装置のより一層の高集積化を達成できる半導体装置及びそれを用いた液体吐出装置を提供することにある。

【0011】

本発明の第2の目的は、チャネリングによる不具合の発生確率が低く、各トランジスタの特性を揃えて、半導体装置のより一層の高集積化を達成できる半導体装置及びそれを用いた液体吐出装置を提供することにある。

【0012】**【課題を解決するための手段】**

上記目的を達成するために本発明の半導体装置は、複数個の電気熱変換体と、前記複数個の電気熱変換体に電流を流すための複数個のスイッチング素子とが第1導電型の半導体基体に集積化された半導体装置において、前記スイッチング素子は、前記半導体基体の一主表面に設けられた第2導電型の第1の半導体領域と、チャンネル領域を提供するための、前記第1の半導体領域に隣接して設けられた

第1導電型の第2の半導体領域と、前記第2の半導体領域の表面側に設けられた第2導電型のソース領域と、前記第1の半導体領域の表面側に設けられた第2導電型のドレイン領域と、前記チャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、を有する絶縁ゲート型電界効果トランジスタであり、前記半導体基体の抵抗率が $5 \sim 18 \Omega \text{cm}$ であり、前記第1の半導体領域は前記半導体基体の深さ方向に $2.0 \sim 2.2 \mu\text{m}$ の深さで形成され、その不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{18}/\text{cm}^3$ であることを特徴とする。

【0013】

また、前記第2の半導体領域が、前記半導体基体に隣接して形成されていることを特徴とする。

【0014】

また、前記半導体基体の抵抗率が、 $5 \sim 16 \Omega \text{cm}$ であることを特徴とする。

【0015】

また、前記複数の電気熱変換体の配列方向と前記複数のスイッチング素子の配列方向が平行であることを特徴とする。

【0016】

また、一つの前記電気熱変換素子に対して少なくとも2つの前記絶縁ゲート型電界効果トランジスタの前記ドレイン領域が接続されているとともに、前記少なくとも2つの絶縁ゲート電界効果トランジスタの前記ソース領域は共通に接続されることを特徴とする。

【0017】

また、前記絶縁ゲート型電界効果トランジスタの実効チャンネル長が、前記第2の半導体領域と前記ソース領域との横方向の不純物拡散量の差で決定されることを特徴とする。

【0018】

また、前記ソース領域を貫通するように電極取出し用の第1導電型の拡散層が形成されていることを特徴とする。

【0019】

また、前記ゲート電極は、そのドレイン側が前記ゲート絶縁膜よりも厚い絶縁

膜上に設けられていることを特徴とする。

【0020】

また、前記ゲート電極は、そのドレイン側がフィールド絶縁膜上に設けられていることを特徴とする。

【0021】

また、前記電気熱変換体に対応した液体吐出口が形成されていることを特徴とする。

【0022】

また、前記電気熱変換体は前記半導体基体上に形成された薄膜抵抗体からなることを特徴とする。

【0023】

上記目的を達成するために本発明の液体吐出装置は、前記電気熱変換体に対応した液体吐出口が形成されている前記半導体装置と、前記電気熱変換体により前記液体吐出口から吐出される液体を収容する液体収容器と、前記半導体装置の前記絶縁ゲート型電界効果トランジスタを駆動するための駆動制御信号を供給する制御器と、を備えたことを特徴とする。

【0024】

【作用】

本発明の上記構成によれば、ドレインの濃度をチャネルの濃度よりも低く設定でき、且つドレインを十分深く形成できるため、高耐電圧により大電流化を可能とし、低いオン抵抗による高速動作を可能とし、延いては高集積化と省エネルギー化が実現できる。そして、本発明の上記構成によれば、複数個のトランジスタによるアレイ状の構成を必要とする半導体装置においても、コストを上げることなく、素子間の電氣的分離が可能である。

【0025】

また、本発明の上記構成によれば、特性の揃った、高密度集積化されたトランジスタアレイを提供できる。

【0026】

とりわけ、スイッチング素子として、新規なDMOS (Double diffused MOS

transistor) を用いることにより、ドレインから基板に流れるリーク電流を抑え、且つ電界集中を抑制して、耐電圧を向上させることができる。

【0027】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0028】

(実施形態1)

まず、図1～図4を参照して本発明の実施形態1の液体吐出装置用の半導体装置について詳細に説明する。

【0029】

符号1はp型の半導体基体、2はn型のウエル領域（第1の半導体領域）、4はゲート電極、6はp型のベース領域（第2の半導体領域）、7はn型のソース領域、8、9はn型のドレイン領域、10はベース電極取出し用の拡散層、11はコンタクト、12はソース電極、13はドレイン電極である。また、30、Tr1、Tr2、Tr3はスイッチング素子としての絶縁ゲート型電界効果トランジスタ、31、32、33は負荷としての電気熱変換体、34、35、36はスイッチである。

【0030】

電気熱変換体31～33は、半導体基体1の主表面上に薄膜プロセスにて、集積化され配列されている。同様に、スイッチング素子Tr1～Tr3は、半導体基体1の主表面に配列されている。必要に応じて、電気熱変換体とスイッチング素子の配列方向を互いに平行にすれば、より集積度を上げることができる。また、この場合には、図1～3に示すようにスイッチング素子を配列することが好ましいものである。ここでは、電気熱変換体に接続されるトランジスタの構造が全て同じであり、しかも、トランジスタアレイ内におけるトランジスタ間には専用の素子分離領域を必要としない構成を採用している。

【0031】

1セグメントは、ドレイン領域を間に挟んで2つのゲート電極と2つのソース領域が配された構成となっており、このうちソース領域は隣接するセグメントと

共有化されている。

【0032】

図3の例では、2つのセグメントのドレインを電気熱変換体の一方の端子に接続し、共通ソースを0Vのような相対的に低い基準電圧を供給する低基準電圧源に接続している。電気熱変換体の他方の端子は、例えば+10～+30V程度の相対的に高い基準電圧 V_H を供給する高基準電圧源 V_{DD} に接続されている。

【0033】

この半導体装置の動作について、その概略を説明する。P型半導体基体1及びソース領域7に、例えば接地電位のような基準電圧を与える。そして、電気熱変換体31～33の一方の端子には、高い基準電圧 V_H を供給する。このうち、例えば、電気熱変換体31のみに電流を流す場合には、スイッチ34のみをオンして、スイッチング素子 T_{r1} を構成する2つのセグメントのトランジスタのゲート4にゲート電圧 V_G を供給して、スイッチング素子 T_{r1} をオンする。そうすると、電源端子から電気熱変換体31、スイッチング素子 T_{r1} を通して接地端子に電流が流れ、電気熱変換体31において、熱が発生する。そして、周知のとおり、この熱が液体の吐出に利用される。

【0034】

本実施形態においては、図2に示すように、予め十分深く形成したウエル領域2にベース領域6を形成する。このウエル領域2とベース領域6はそれぞれトランジスタ30において、ドレインとチャネルの役割を果たすこととなる。そのため、通常のMOSトランジスタのように、チャネルとなる半導体領域を形成した後にドレインを形成した場合の構造とは逆に、ドレインを形成した後にチャネルを形成することから、ドレインの不純物濃度（ここでは、第1の半導体領域2のドナー濃度）をチャネルの不純物濃度（ここでは、第2の半導体領域6のアクセプター濃度）より低く設定することが可能である。トランジスタの耐電圧はこのドレインの耐電圧で決定され、その耐電圧は通常、ドレインの濃度が低いほど、ドレインの深さが深いほど高くなる。実際の製品としては、定格電圧として20～30Vを満たすのが好ましく、これを満たすために、第2の半導体領域6のアクセプター濃度を $1 \times 10^{15} \sim 1 \times 10^{19}/\text{cm}^3$ に、第1の半導体領域2のドナ

一濃度を $1 \times 10^{14} \sim 1 \times 10^{18}/\text{cm}$ と設定し、深さは $2.0 \sim 2.2 \mu\text{m}$ 程度に設定するのがよい。このように設定することによって、本実施形態によれば、定格電圧を高く設定でき、大電流化を可能とし、高速動作を実現できる。

【0035】

また、本実施形態によるトランジスタ 30 の実効チャネル長は、ベース領域 6 とソース領域 7 との不純物の横方向拡散量の差で決定される。この横方向拡散量は物理的係数に基づき決定されるため、実効チャネル長は従来よりも短く設定でき、オン抵抗を低減することができる。このオン抵抗の低減は単位寸法あたりの電流を流せる量を大きくすることにつながり、高速動作、省エネルギー、及び高集積化が可能となる。

【0036】

また、ソース領域 7 を間に挟んで 2 つのゲート電極 4 が配されており、ベース領域 6 とソース領域 7 は、後述のように、どちらもゲート電極 4 をマスクとして自己整合的に形成できるため、アライメントによる寸法差を生じることがなく、トランジスタ 30 のしきい値を、ばらつきなく製造することができ、高歩留りを実現し、高信頼性を得られる。

【0037】

ここで、各半導体領域に関して更に詳細に述べる。ウエル領域 2 の深さは上述したように、ドレイン領域の耐電圧を決めるものであり、最終的には、スイッチング素子としてのトランジスタの耐電圧を決めるものとなる。したがって、液体吐出装置のスイッチング素子として用いる場合には、特にこのウエル領域 2 はなるべく深く形成するのが好ましい。しかしながら、このウエル領域 2 をあまり深く形成するとベース領域を形成する際の条件設定のマージンが狭くなるという問題がある。これは、隣接素子との電氣的分断を確実にを行うために、ベース領域をウエル領域 2 の深さに比較して深くする必要があるが、ベース領域を深く形成するということは、横方向への拡散も同時に進行する恐れがあり、これによってチャネルの制御が困難になるためである。これらの点に鑑み、ベース領域の深さの検討を行った。

【0038】

その方法として、少なくともウエル領域2の深さ \gg ベース領域の場合に、ベース領域と基体との間にウエル領域が存在するということに着目し、図20に示すように擬似的にベース領域をゲートとした接合型FETに見立て、ベース領域の抵抗(BASR)と、ドレイン電圧(JFET $_V_{th}$)との関係を測定した。その結果を図21に示す。尚、この場合のBASRは図20に示すようにベース領域と基体との間の抵抗を測定しているため、このBASRはベース領域の深さによって変化させることができる。

【0039】

図21からBASR=750 Ω 付近においてJFET $_V_{th}$ が急激に減少していることがわかる。これは、750 Ω 付近においてウエル領域の深さ \approx ベース領域の深さとなっているからであると考えられる。すなわちドレインとソースがベース領域によって完全に分断されており、接合型FETとして動作していないからであると考えられる。したがって、BASRが750 Ω 以下になるように深さを設定すれば、ベース領域によって隣接素子間の分断が行われているといえる。

【0040】

更に、スイッチング素子の駆動方法によっては、BASRが更に大きくても隣接素子との分断を行える場合がある。それは、実使用条件においてベースと基体間が空乏化するようにバイアスを印加する場合である。この場合には、ウエルと基体間に生ずる空乏化領域によって隣接素子との分断を行うことができる。ベース領域によっては完全に分断が行なわれておらず、空乏化領域によって分断が行なわれる場合のBASRを調べるために、上述の750 Ω 以上の試料、BASRが760 Ω 、830 Ω の試料においてBAS-SUB間の抵抗を評価するために図22に示すような測定を行った。

【0041】

図23に示すグラフは横軸に基体濃度に関するBASRを、縦軸に図22の測定1及び測定2の抵抗値を示す。測定1と測定2の結果から、 $R_{bs} \ll R_{sub}$ であることがわかる。これは、今回測定を行った830 Ω までの試料においては、ベース領域下の構造が急変することによる大きな抵抗上昇が観察されないこ

とを意味する。すなわち、実使用条件においては空乏化領域によって分断が行なわれているということである。したがって、少なくとも $830\ \Omega$ までの試料においては、実使用条件においては問題なく使用することができることがわかった。

【0042】

次に、BASRと基体の抵抗率との関係について述べる。上記の JFET --- V --- t --- hを測定したウエハを用いて基体の抵抗率を測定した結果、基体の抵抗率が減少するにしたがって、BASRも減少することが確認された。これは、基体抵抗率がウエル領域の深さに関係があるためであると考えられる。すなわち、基体の抵抗率が高い場合には、ウエル領域が深くなる傾向があり、基体の抵抗率が低い場合には、逆にウエル領域の深さが浅くなる傾向がある。したがって作成条件が一定の場合には、ウエル領域の深さは基体の抵抗率（不純物濃度）によって決まる。そこで作成条件を一定とし、基体の抵抗率とベース領域の抵抗（BASR）との関係を測定した。その結果を図24に示す。この図24から、上記BASRを満たすためには基体の抵抗率は通常用いられる $5\ \Omega\text{cm}$ 以上で $18\ \Omega\text{cm}$ 以下に設定するのが好ましいことがわかった。更に、ベース領域によって完全に分断される、 $16\ \Omega\text{cm}$ 以下であれば更に好ましい。

【0043】

以上まとめると、液体吐出装置用の半導体装置として、定格電圧を $20\sim30\text{ V}$ に設定した場合には、第1の半導体領域は基体の深さ方向に $2.0\sim2.2\ \mu\text{m}$ 形成され、その不純物濃度が $1\times10^{14}\sim1\times10^{18}/\text{cm}^3$ であって、半導体基体の抵抗率が $5\sim18\ \Omega\text{cm}$ に設定することによって、定格電圧を高く設定でき、大電流化を可能とし、高速動作を実現でき且つ、隣接素子との分断も好適に行うことができるため好ましい。

【0044】

また、ソース領域7を貫通するように電極取出し用の拡散層10が形成されているので、占有面積を増やすことなく、ベース領域2を所定の電位に保持することができる。

【0045】

図3、図4に示した形態では、並列接続されたトランジスタ30の2つのドレ

イン（２つのセグメント）が、独立して駆動可能な一つの負荷に接続された例を示している。そして、ゲートに負荷を駆動するためのオン信号が与えられると、トランジスタがオン状態となり、一つのドレインからその両側にあるチャンネルを通して共通化されたソースに電流が流れるように構成されている。前述したとおり、隣接セグメント間では、境界にあるソースを共通に使うことができる。これにより、本実施形態のトランジスタをアレイ状に配置し、液体吐出装置として使用する場合に、各トランジスタ間に特別に、PN接合分離用の半導体や、LOCOSやトレンチ分離用の誘電体などからなる、専用の素子分離領域などを形成する必要がなく、図２、図３に示すような簡単な層構成で、大電流を流せる高集積化された半導体装置を実現でき、低コスト化が可能となる。

【0046】

加えて、P型の半導体基体１にドレインから流れるリーク電流を十分に抑制できる。

【0047】

（実施形態２）

本発明の実施形態２による液体吐出装置用の半導体装置の基本構成は、上述した実施形態１と同じである。実施形態１との主たる相違点は、ドレイン領域８、９の位置とその形成工程である。

【0048】

図５は、実施形態２による液体吐出装置用の半導体装置の平面構成を、図６は断面構成を示している。

【0049】

そして、この半導体装置の製造方法は、概略、複数の電気熱変換体と、前記複数の電気熱変換体に電流を流すための複数のスイッチング素子とが第１導電型の半導体基体に集積化された半導体装置の製造方法において、前記第１導電型の半導体基体１の一主表面に第２導電型の半導体層２を形成する工程（図６（a））と、前記半導体層上にゲート絶縁膜２０３を形成する工程と、前記ゲート絶縁膜上にゲート電極４を形成する工程（図６（b））と、前記ゲート電極をマスクとして第１導電型の不純物をドーピングする工程（図６（c））と、前記第

1 導電型の不純物を前記第 2 導電型の半導体層を、第 1 の実施形態の条件を満たすように拡散して半導体領域 6 を形成する工程（図 6（d））と、前記ゲート電極をマスクとして前記半導体領域 6 の表面側に第 2 導電型のソース領域 7 を、また前記第 2 導電型の半導体層 2 の表面側に第 2 導電型のドレイン領域 8、9 を形成する工程（図 6（e））とを有することを特徴とするものである。以下詳述する。

【0050】

まず、図 6（a）に示すように、抵抗率 $5 \sim 18 \Omega \text{ cm}$ の p 型半導体基体 1 を用意して、ウエルを形成すべき領域に、選択的に n 型の不純物を導入して、p 型半導体基体 1 の表面に、n 型のウエル領域 2 を形成する。この際の形成条件は 1100°C 、60 分のアニールを行っている。この n 型のウエル領域 2 は p 型半導体基体 1 全面に形成することもできる。また、n 型のウエル領域 2 を p 型半導体基体 1 全面に形成する場合はエピタキシャル成長法を用いることも可能である。

【0051】

次に、図 6（b）に示すように、n 型のウエル領域 2 上に、例えば水素燃烧酸化により膜厚約 50 nm のゲート酸化膜（ゲート絶縁膜）203 を成長させ、ゲート酸化膜 203 上に例えば、LPCVD（減圧化学気相堆積）法により膜厚約 300 nm の多結晶シリコンを堆積する。この多結晶シリコンには LPCVD 法で堆積すると同時に、例えばリンをドーピングしたり、または堆積後に、例えばイオン打ち込み法や固相拡散法を用いて、例えばリンをドーピングしたりして所望の配線抵抗値となるようにする。その後、フォトリソグラフィーによりパターニングを行ない、多結晶シリコン膜をエッチングする。これにより MIS 型電界効果トランジスタのゲート電極 4 が形成できる。

【0052】

次に、図 6（c）に示すように、フォトリソグラフィーによりパターニングを行ってフォトレジストからなるイオン打ち込み用マスク（不図示）を形成し、またゲート電極 4 をもマスクとして用いて、選択的に p 型の不純物、例えばボロンをイオン打ち込みして、不純物層 205 を形成する。

【0053】

次に、図6（d）に示すように、電気炉で例えば1100℃で、60分の熱処理を行ない、深さ2.0～2.2 μm 程度のベース領域6を形成する。この実施形態では、この熱処理は、ベース領域6がウエル領域2と同等かそれ以上に深くなるように設計することが重要であり、熱処理の条件は、ウエル領域2の2.0～2.2 μm 、不純物濃度が $1 \times 10^{15} \sim 1 \times 10^{19}/\text{cm}^3$ 程度において上記の条件とした。

【0054】

次に、図6（e）に示すように、ゲート電極4をマスクとして、ソース領域7、第1のドレイン領域8、及び第2のドレイン領域9を、例えばヒ素をイオン打ち込みして形成する。こうして、ソース領域7及びドレイン領域8、9はゲート電極と自己整合しつつ若干オーバーラップして形成される。

【0055】

次に、図6（f）に示すように、フォトリソグラフィーによりパターニングを行って、フォトレジストのマスク（不図示）を形成し、例えばイオン打ち込み法により、ベース電極取出し用の拡散層10を形成する。このベース電極取出し用の拡散層10は必ずしも必要としないが回路設計上あった方が望ましい。また、信号処理回路としてp型のMIS型電界効果トランジスタを同時に作り込む場合は、拡散層10をこのように形成しても、工程が増えることはない。その後、例えば950℃にて30分の熱処理を行ない、ソース領域7、第1のドレイン領域8、第2のドレイン領域9、及びベース電極取出し用の拡散層10を活性化させる。

【0056】

その後、図示していないが、CVD（化学気相堆積）法により酸化膜を堆積し、層間絶縁膜を形成し、コンタクト11（図5を参照）用のコンタクトホールを開口し、導電体を堆積させ、パターニングすることにより、配線を形成する。そして、必要に応じて多層配線を行ない、集積回路を完成させる。

【0057】

電気熱変換体は、この配線形成工程において、周知の薄膜プロセスを用いて作製され、基体1上に集積化される。このときの回路構成は前述した実施形態と同

じである。

【0058】

本実施形態では、ゲート電極4をイオン打ち込み用のマスクに用いて、ベース領域6、ソース領域7、ドレイン領域8、9を形成したので、これらの領域がゲート電極4に対して整合して形成され、スイッチング素子アレイの高集積化、各素子の特性の均一化が達成されている。また、ソース領域7とドレイン領域8、9が同じ工程で形成できるので、製造コスト抑制にも寄与する。

【0059】

(実施形態3)

ドレイン領域の耐電圧を更に向上させることが望まれる場合には、図1、図2に示したように、ドレイン領域8、9の端部をゲート電極4の端部から離して形成することも好ましいものであり、特に後述する方法による半導体装置はフォトリソグラフィーの工程数を増やすことなく製造できるものである。

【0060】

図7は、本発明の実施形態3による半導体装置の製造方法を説明するための断面図であり、ここでは、図6の(a)～(d)の工程を経た後から半導体装置の製造方法を説明する。

【0061】

図7に示すように、フォトリソグラフィーによりパターンニングしたフォトレジストマスク211を形成し、このフォトレジストマスク211とゲート電極4をマスクとして、ソース領域7、第1のドレイン領域8、及び第2のドレイン領域9を、例えばヒ素をイオン打ち込みして形成する。この時、第1のドレイン領域8及び第2のドレイン領域9がゲート電極4からオフセットを持つように、フォトレジストマスク211を形成することが重要である。これにより、各ドレインーソース間の距離が十分保たれ、また、ゲート直下に高濃度の拡散層が無いことで、電界集中による耐電圧低下も防ぐことができる。

【0062】

その後、図6の(f)の工程以降を経て、実施形態2と同様に電気熱変換体を備えた集積回路を完成させる。

【0063】**(実施形態4)**

図8の(a)～(g)を参照して、本発明の実施形態4による半導体装置の製造工程について説明する。この実施形態の特徴は、ゲート電極4のドレイン側がゲート絶縁膜よりも厚い絶縁膜上に設けられている点にある。

【0064】

本実施形態による半導体装置の製造方法は、概略、複数個の電気熱変換体と、前記複数個の電気熱変換体に電流を流すための複数個のスイッチング素子とが第1導電型の半導体基体に集積化された半導体装置の製造方法において、前記第1導電型の半導体基体1の一主表面に第2導電型の半導体層2を形成する工程(図8(a))と、前記半導体層上に選択的にフィールド絶縁膜221を形成する工程(図8(b))と、前記半導体層上にゲート絶縁膜203を形成する工程(図8(b))と、前記ゲート絶縁膜と前記フィールド絶縁膜上にゲート電極4を形成する工程(図8(c))と、前記ゲート電極をマスクとして第1導電型の不純物をドーピングする工程(図8(d))と、前記第1導電型の不純物を前記第2導電型の半導体層と同等かそれ以上に深くなるように拡散して半導体領域6を形成する工程(図8(e))と、前記ゲート電極をマスクとして前記半導体領域の表面側に第2導電型のソース領域7を、及び前記フィールド絶縁膜をマスクとして前記第2導電型の半導体層の表面側に第2導電型のドレイン領域8, 9を形成する工程(図8(f))とを有することを特徴とするものである。以下詳述する。

【0065】

まず、図8(a)に示すように、抵抗率 $5 \sim 18 \Omega \text{ cm}$ のp型半導体基体1の表面に、n型のウエル領域2を形成する。

【0066】

次に、ウエル領域2の表面に、例えば水素燃焼酸化により膜厚約10nmのパッド酸化膜(図示せず)を成長させ、パッド酸化膜上に例えば、LPCVD法により膜厚約150nmの窒化シリコン膜(図示せず)を堆積し、フォトリソグラフィによりパターンニングを行ない、窒化シリコン膜をエッチングする。その後

、例えば水素燃焼酸化により膜厚約 500 nm のフィールド酸化膜 221 を選択的に成長させる。その後、窒化シリコン膜を、例えばりん酸を用いて完全に除去し、例えば約 10 wt % の弗化水素溶液でパッド酸化膜を除去し、n 型のウエル領域 2 上に、例えば水素燃焼酸化により膜厚約 10 nm のゲート酸化膜 203 を成長させる。この時、上記パッド酸化膜をそのままゲート酸化膜として用いることも可能ではあるが、酸化膜の信頼性上好ましくはない。こうして、図 8 (b) に示すように、n 型のウエル領域 2 上に、薄い酸化膜としてのゲート酸化膜 203 と厚い酸化膜としてのフィールド酸化膜（フィールド絶縁膜）221 を所望の位置に配置する。

【0067】

次に、図 8 (c) に示すように、ゲート酸化膜 203 上とフィールド酸化膜 221 上に例えば、LPCVD 法により膜厚約 300 nm の多結晶シリコンを堆積する。この多結晶シリコンには LPCVD 法で堆積すると同時に、例えばリンをドーピングしたり、または堆積後に、例えばイオン打ち込み法や固相拡散法を用いて、例えばリンをドーピングしたりして所望の配線抵抗値となるようにする。その後、図 8 (c) に示すように、フォトリソグラフィーにより、一端がゲート酸化膜 203 上で終端し、もう一端がフィールド酸化膜 221 上で終端するように、パターニングを行ない、多結晶シリコン膜をエッチングする。これにより MIS 型電界効果トランジスタのゲート電極 4 が形成できる。

【0068】

次に、図 8 (d) に示すように、フォトリソグラフィーによりパターニングを行ない、またゲート電極 4 をマスクとして、選択的に p 型の不純物、例えばボロンをイオン打ち込みして、不純物層 205 を形成する。

【0069】

次に、図 8 (e) に示すように、電気炉で例えば 1100℃ 60 分の熱処理を行ない、ベース領域 6 を形成する。本実施形態では、この熱処理は、縦方向に関しては、ベース領域 6 がウエル領域 2 と同等かそれ以上に深くなるように設計することが重要であり、また、そのベース領域 6 の横方向に関してはベース領域 6 の端部がゲート酸化膜 203 とフィールド酸化膜 221 の境目付近となるように

設計することが望ましい。

【0070】

なぜなら、もしベース領域6がゲート酸化膜203の途中までしかなかった場合、ゲート電極下にかかる電界は薄いゲート酸化膜203に集中し、ゲート酸化膜203を破壊する可能性が出てくる。また、もし、ベース領域6がフィールド酸化膜221の厚いところまであった場合、その厚いフィールド酸化膜下のベース領域6はゲート電極4に所定の電圧を印加しても反転せず、MIS型電界効果トランジスタのスイッチ機能を果たせず、そのため、仮にスイッチがオンされたとしても、ドライバビリティ能力は大きく低下してしまう。

【0071】

そのため、上記の熱処理の条件は、ウェル領域2の深さ、濃度、不純物の種類、不純物層205の濃度、不純物の種類、及びマスク寸法に応じて決定される。

【0072】

次に、図8（f）に示すように、ソース領域7、第1のドレイン領域8、及び第2のドレイン領域9を、例えばヒ素をイオン打ち込みして形成する。この時、ゲート電極4は、ソース領域7の端部を規定するマスクとして機能し、フィールド酸化膜221は、ドレイン領域8、9の端部を規定するマスクとして機能する。こうして、ソース領域7はゲート電極に自己整合し、ドレイン領域8、9はフィールド酸化膜221に自己整合する。

【0073】

次に、図8（g）に示すように、フォトリソグラフィーによりパターニングを行ない、例えばイオン打ち込み法により、ベース電極取出し用の拡散層10を形成する。このベース電極取出し用の拡散層10は必ずしも必要としないが、回路設計上あった方が望ましい。また、信号処理回路としてp型のMIS型電界効果トランジスタを同時に作り込む場合は工程が増えることはない。その後、例えば950℃にて30分の熱処理を行ない、ソース領域7、第1のドレイン領域8、第2のドレイン領域9、及びベース電極取出し用の拡散層10を活性化させる。このようにして、電界の集中するゲート電極4下のドレイン側の絶縁体をフィールド酸化膜221で形成することにより、MIS型電界効果トランジスタのゲー

トードレイン間耐電圧を向上できる。これは、例えば、高耐電圧を必要とするMIS型電界効果トランジスタと同じ基体に、高速度を必要とする相補型MIS型電界効果トランジスタを同時に形成する場合に、相補型MIS型電界効果トランジスタの素子分離領域の形成工程にて、フィールド酸化膜221で形成できるので、工程の追加を必要とせずに構成できるのでとても有効である。

【0074】

その後、図示していないが、前述の各実施形態と同様にして、CVD法により酸化膜を堆積して、層間絶縁膜を形成し、コンタクト11（図1を参照）を開口し、配線を形成する。必要に応じて多層配線を行ない、集積回路を完成させる。電気熱変換体は、この配線形成工程において、周知の薄膜プロセスを用いて作製され、基体1上に集積化される。このときの回路構成は前述した各実施形態と同じである。

【0075】

（実施形態5）

図9は、本発明の実施形態5による半導体装置の製造方法を説明するための図であり、ここでは、半導体装置の製造方法を、図6の（a）～（d）の工程を経た後から説明する。

【0076】

図9に示すように、フォトリソグラフィーによりパターニングしたフォトレジストマスク211を形成し、このフォトレジストマスク211をイオン打ち込み用のマスクとして、例えばボロンを120keVの加速エネルギーでイオン打ち込みしてチャネルドープ層232を形成する。この時、このチャネルドープ層232は、少なくともベース領域6上のソース領域7（実際には、本工程においてまだ形成されておらず、次工程以降で形成されることとなる）と、ウエル領域2に挟まれたチャネル233となる部分に形成することが重要である。

【0077】

図9のフォトレジストマスク211は必ずしも必要ではなく、全面にイオン注入しても何ら差し支えない。但し、ウエル領域2の濃度が非常に低い場合は、フォトレジストマスク211を用いた方が好ましい。また、このチャネルドープ層

232の形成は本工程で行う必要は必ずしも無く、ベース領域6の形成と最終の活性化アニールとの間に行われればよい。これによりチャネル領域233が所望の濃度に設計でき、MIS型電界効果トランジスタを所望のしきい値に制御することができる。

【0078】

その後、図6(e)の工程以降と同様の工程を経て、同様に電気熱変換体を備えた集積回路を完成させる。

【0079】

(実施形態6)

図1～9に示した本発明の各実施形態の製造方法により製造された半導体装置を、例えばインクジェット記録ヘッドのような液体吐出装置に組込んだ場合のその記録ヘッドの一部分の断面構造の一例を図10に示す。ここで、1は単結晶シリコンからなるp型の半導体基体である。2はn型のウエル領域、4はゲート電極、6はp型のベース領域、7はn型のソース領域、8はn型のドレイン領域であり、これらでMIS（金属絶縁半導体）型電界効果トランジスタ30を形成している様子を模式的に示しているが、前述したように、各トランジスタ（又はセグメント）間には専用の素子分離領域を配することなくアレイ状に配列することが好ましいものである。

【0080】

また、817は蓄熱層及び絶縁層として機能する酸化シリコンなどの絶縁層、818は窒化タンタル、窒化珪素タンタルなどの発熱抵抗層、819はアルミニウム合金膜などの配線、及び820は窒化シリコン膜などの保護層であり、これらにより記録ヘッドの基体940が構成されている。ここでは、850が発熱部となり、860からインクが吐出される。また、天板870は基体940と協働して液路880を画成している。

【0081】

以上説明した本発明の各実施形態の作用について説明する。

【0082】

図11、図12は、あるMIS型電界効果トランジスタアレイの平面図及び断

面図である。半導体基体 1 内に作り込んだこれらの M I S 型電界効果トランジスタを単独または複数個、同時に動作させることによって、マトリクス状に結線されている電気熱変換素子間の電気的分離性を保つことができる。ここで、4 はゲート電極、7 は n 型のソース領域、8 は n 型のドレイン領域、9 はもう一つの n 型のドレイン領域、11 はコンタクト、12 はソース電極、13 はドレイン電極、15 は n 型の電界緩和ドレイン領域である。

【0083】

しかしながら、電気熱変換素子を駆動させるために必要となる大電流においては、上記のような従来の M I S 型電界効果トランジスタアレイを機能させると、ドレイン－ウエル間（ここではドレインと半導体基体間）の p n 逆バイアス接合部は高電界に耐えられず、リーク電流を発生させ、上記電気熱変換素子駆動用半導体装置として要求される耐電圧を満足することができなかった。更に、大電流で使用されるために、M I S 型電界効果トランジスタのオン抵抗が大きいと、ここでの電流の無駄な消費によって、電気熱変換素子が機能するために必要な電流が得られなくなる。

【0084】

また、上記の耐電圧を向上させるためには、図 13 の平面図、図 14 の断面図に示すような M I S 型電界効果トランジスタアレイが考えられる。ここで、1 は p 型の半導体基体、2 は n 型のウエル領域、4 はゲート電極、106 は p 型のベース領域、7 は n 型のソース領域、8 は n 型のドレイン領域、9 はもう一つの n 型のドレイン領域、10 はベース電極取出し用の拡散層、11 はコンタクト、12 はソース電極、13 はドレイン電極である。

【0085】

この M I S 型電界効果トランジスタの構造は、通常の構造とは異なり、ドレインの中にチャネルを作り込むことによって耐電圧を決定しているドレインの深さを深く、また低濃度で作りに込むことが可能となり、耐電圧を向上できる。

【0086】

しかしながら、アレイ状にこの M I S 型電界効果トランジスタを配置すると、各トランジスタのドレインが唯一の共通半導体層で形成されることになり、全て

のドレイン電位が共通電位になってしまうため、独立してスイッチング動作させなければならないスイッチング素子間に専用の素子分離領域を設けて、ドレインを分離しなければ、電気熱変換素子間の電气的分離が保てない。また、そのような素子分離領域を新たに形成しようとする、プロセスが複雑になって、コストアップとなり、更に素子を形成する面積も大きくなってしまう。そのため、図13、図14に示すようなMIS型電界効果トランジスタの構造は、液体吐出装置用のトランジスタアレイには不向きである。

【0087】

一方、以上説明した本発明の各実施形態の半導体装置によれば、ドレインの濃度をチャンネルの濃度より低く設定でき、且つドレインを十分深く形成できるため、高耐電圧により大電流化を可能とし、低いオン抵抗による高速動作を可能とし、延いては高集積化と省エネルギー化が実現できる。また、複数のトランジスタによるアレイ状の構成を必要とする半導体装置においても、コストを上げることなく、素子間の分離が容易に可能となる。

【0088】

実際に、本発明とそれと同程度の単体素子特性を持つ図13、図14に示した構造のMIS型電界効果トランジスタを、電气的分離が保てるように素子分離領域を設け、同じあるデザインルールで、且つ同じマスク枚数で実際にレイアウトすると、図13、図14に示す技術によるMIS型電界効果トランジスタは、1つのセグメントを形成するためにアレイの配列方向に $12.0\mu\text{m}$ 必要なのに対し、図1、図2に示す本発明の構造を用いたMIS型電界効果トランジスタ場合は、アレイの配列方向の長さが $6.0\mu\text{m}$ と $1/2$ で形成できる。この寸法比（図13、図14の構造のアレイの配列方向の長さを基準とした場合の図1、図2の構造のアレイの配列方向の長さの比率）は、上記デザインルールが微細になればなるほど、小さくなる傾向にある。

<液体吐出装置>

本発明の液体吐出装置の一例としてインクジェットプリンタの例を挙げて説明する。

【0089】

図15は、本発明によるインクジェットプリンタの記録ヘッドを構成する半導体装置の回路構成を示す図である。この半導体装置としては前述した全ての実施形態により製造された装置を用いることができる。

【0090】

符号41が負荷としての電気熱変換体のアレイ、42がスイッチング素子のアレイ、43が論理ゲートのアレイ、44がラッチ回路、45がシフトレジスタを示している。符号46は電源電圧VDDが供給される端子、47は接地電圧VSSが供給される端子、48はスイッチング素子のオンのタイミングを制御するイネーブル信号が入力される端子、49はラッチ回路44を制御する信号が入力される端子、50は画像信号が入力される端子、51はクロック信号が入力される端子である。電気熱変換体のアレイ41、スイッチング素子のアレイ42、論理ゲートアレイ43、ラッチ回路44、シフトレジスタ45は、それぞれ1チップ上に平行に配置されており、大まかなレイアウトは図15に示したものと同一である。

【0091】

端子50から入力されたデジタル画像信号は、シフトレジスタ45によって、並列に並び替えられ、ラッチ回路44にラッチされる。論理ゲートがイネーブルになると、ラッチ回路44にラッチされた信号に応じて、スイッチング素子42がオン又はオフ状態となり、選択された電気熱変換体41に電流を流す。

【0092】

上述した各実施形態のトランジスタは、このスイッチング素子として好適に用いられる。そして、スイッチング素子アレイ内のスイッチング素子間は前述したとおり、専用の素子分離領域を形成せず、スイッチング素子アレイと電気熱変換体アレイとの間や、スイッチング素子アレイと論理ゲート（又はラッチ回路やシフトレジスタ）との間などの複数のアレイ間には、フィールド絶縁膜のような素子分離領域を設けることが好ましいものである。

【0093】

図16は、インクジェットヘッドの模式図である。図15の回路が作製された素子基体52上には、電流が流れることで熱を発生し、その熱によって発生する

気泡によって吐出口 5 3 からインクを吐出するための電気熱変換素子（ヒータ）4 1 が複数列状に配されている。この電気熱変換素子のそれぞれには、配線電極 5 4 が設けられており、配線電極の一端側は前述したスイッチング素子 4 2 に電氣的に接続されている。電気熱変換体 4 1 に対向する位置に設けられた吐出口 5 3 へインクを供給するための流路 5 5 がそれぞれの吐出口 5 3 に対応して設けられている。これらの吐出口 5 3 及び流路 5 5 を構成する壁が溝付き部材 5 6 に設けられており、これらの溝付き部材 5 6 を前述の素子基体 5 2 に接続することで流路 5 5 と複数の流路にインクを供給するための共通液室 5 7 が設けられている。

【 0 0 9 4 】

図 1 7 は本発明の素子基体 5 2 を組み込んだインクジェットヘッドの構造を示すもので、枠体 5 8 に素子基体 5 2 が組み込まれている。この素子基体 5 2 上には前述のような吐出口 5 3 や流路 5 5 を構成する部材 5 6 が取り付けられている。そして、装置側からの電気信号を受け取るためのコンタクトパッド 5 9 が設けられており、フレキシブルプリント配線基板 6 0 を介して素子基体 5 2 に、装置本体の制御器から各種駆動信号となる電気信号が供給される。

【 0 0 9 5 】

図 1 8 は本発明のインクジェットヘッドが適用されるインクジェット記録装置 I J R A の概観図で、駆動モータ 5 0 1 3 の正逆回転に連動して駆動力伝達ギア 5 0 1 1、5 0 0 9 を介して回転するリードスクリュー 5 0 0 5 のらせん溝 5 0 0 4 に対して係合するキャリッジ H C はピン（不図示）を有し、矢印 a、b 方向に往復移動される。5 0 0 2 は紙押え板であり、キャリッジ移動方向にわたって紙を記録媒体搬送手段であるプラテン 5 0 0 0 に対して押圧する。5 0 0 7、5 0 0 8 はフォトカプラでキャリッジのレバー 5 0 0 6 のこの域での存在を確認してモータ 5 0 1 3 の回転方向切換等を行うためのホームポジション検知手段である。5 0 1 6 は記録ヘッドの前面をキャップするキャップ部材 5 0 2 2 を支持する部材で、5 0 1 5 はこのキャップ内を吸引する吸引手段でキャップ内開口 5 0 2 3 を介して記録ヘッドの吸引回復を行う。5 0 1 7 はクリーニングブレードで、5 0 1 9 はこのブレードを前後方向に移動可能にする部材であり、本体支持板 5

0 1 8 にこれらは支持されている。ブレードは、この形態でなく周知のクリーニングブレードが本例に適用できることはいうまでもない。又、5 0 2 1 は、吸引回復の吸引を開始するためのレバーで、キャリッジと係合するカム 5 0 2 0 の移動に伴って移動し、駆動モータからの駆動力がクラッチ切換等の公知の伝達手段で移動制御される。

【0 0 9 6】

尚、本装置には画像信号や駆動制御信号などを素子基体 5 2 に供給するための電気回路からなる制御器（不図示）を有している。

【0 0 9 7】

【発明の効果】

以上説明したように本発明によれば、ドレインの濃度をチャネルの濃度よりも低く設定でき、且つドレインを十分深く形成できるため、高耐電圧により大電流化を可能とし、低いオン抵抗による高速動作を可能とし、延いては高集積化と省エネルギー化が実現できる。そして、本発明によれば、複数個のトランジスタによるアレイ状の構成を必要とする半導体装置においても、コストを上げることなく、素子間の電氣的分離が可能である。また、本発明によれば、特性の揃った、高密度集積化されたトランジスタアレイを提供できる。

【図面の簡単な説明】

【図 1】

本発明の実施形態 1 による半導体装置の模式的平面図である。

【図 2】

本発明の実施形態 1 による半導体装置の模式的断面図である。

【図 3】

本発明による半導体装置の回路構成を説明するための模式図である。

【図 4】

本発明による半導体装置の回路図である。

【図 5】

本発明の実施形態 2 による半導体装置の模式的平面図である。

【図 6】

本発明の実施形態 2 による半導体装置の製造工程を説明するための模式的断面図である。

【図 7】

本発明の実施形態 3 による半導体装置の製造工程を説明するための模式的断面図である。

【図 8】

本発明の実施形態 4 による半導体装置の製造工程を説明するための模式的断面図である。

【図 9】

本発明の実施形態 5 による半導体装置の製造工程を説明するための模式的断面図である。

【図 1 0】

本発明による半導体装置を用いた液体吐出ヘッドの一構成例を示す模式的断面図である。

【図 1 1】

半導体装置の模式的平面図である。

【図 1 2】

半導体装置の模式的断面図である。

【図 1 3】

半導体装置の模式的平面図である。

【図 1 4】

半導体装置の模式的断面図である。

【図 1 5】

本発明による半導体装置の回路構成図である。

【図 1 6】

本発明による半導体装置を用いた液体吐出ヘッドの構成を説明するための模式的断面図である。

【図 1 7】

本発明による半導体装置を用いた液体吐出ヘッドの外観を示す模式的斜視図で

ある。

【図 1 8】

本発明の液体吐出装置の一例を示す模式図である。

【図 1 9】

従来の液体吐出ヘッドの模式的断面図である。

【図 2 0】

J F E T _ V t h と B A S R との関係の測定方法を説明する図である。

【図 2 1】

図 2 0 の測定結果を示す図である。

【図 2 2】

B A S - S U B 間の抵抗を評価するための測定方法を説明する図である。

【図 2 3】

図 2 2 の測定結果を示す図である。

【図 2 4】

基板抵抗率と B A S R との関係の測定結果を示す図である。

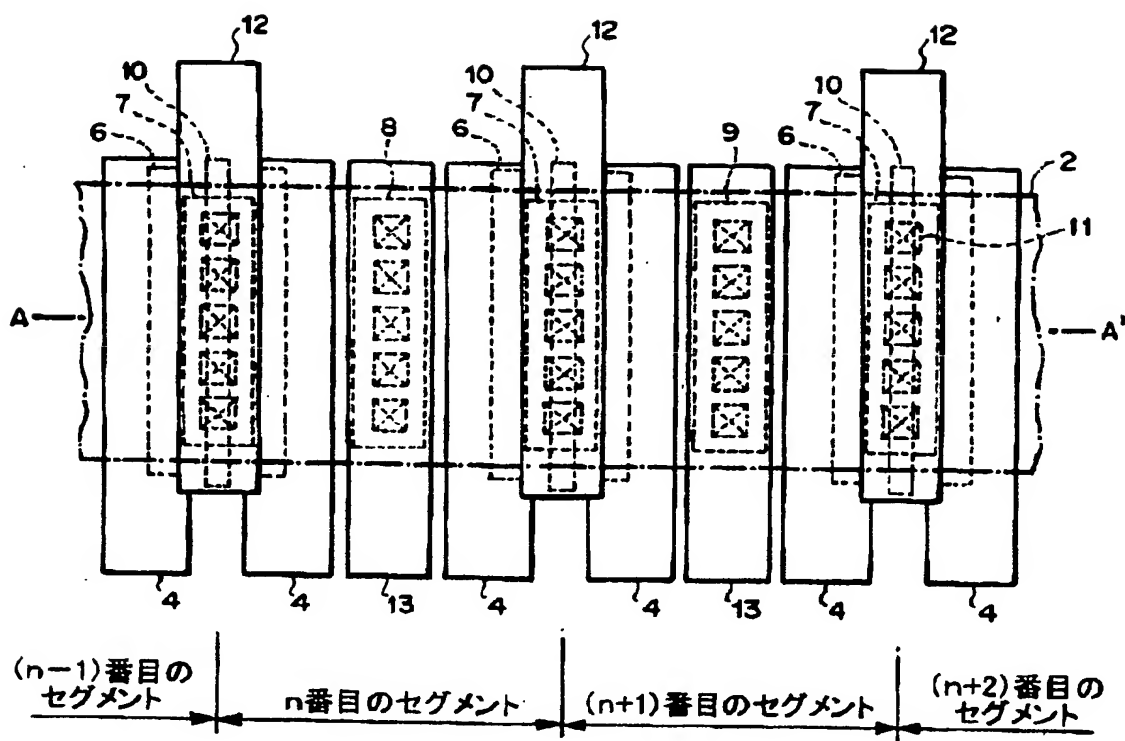
【符号の説明】

- 1 p 型半導体基体
- 2, 2 2 n 型ウエル領域
- 4 ゲート電極
- 6, 2 6 p 型ベース領域
- 7 n 型ソース領域
- 8, 9 n 型ドレイン領域
- 1 0 ベース電極取出し用拡散層
- 1 1 コンタクト
- 1 2 ソース電極
- 1 3 ドレイン電極
- 2 9 p 型ウエル領域
- 2 0 3 ゲート絶縁膜
- 2 0 5 不純物層

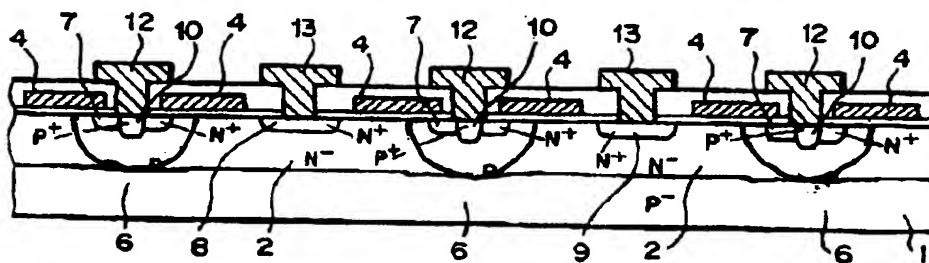
- 2 1 1 フォトレジストマスク
- 2 2 1 フィールド絶縁膜
- 2 3 2 チャネルドープ層
- 2 3 3 チャネル

【書類名】 図面

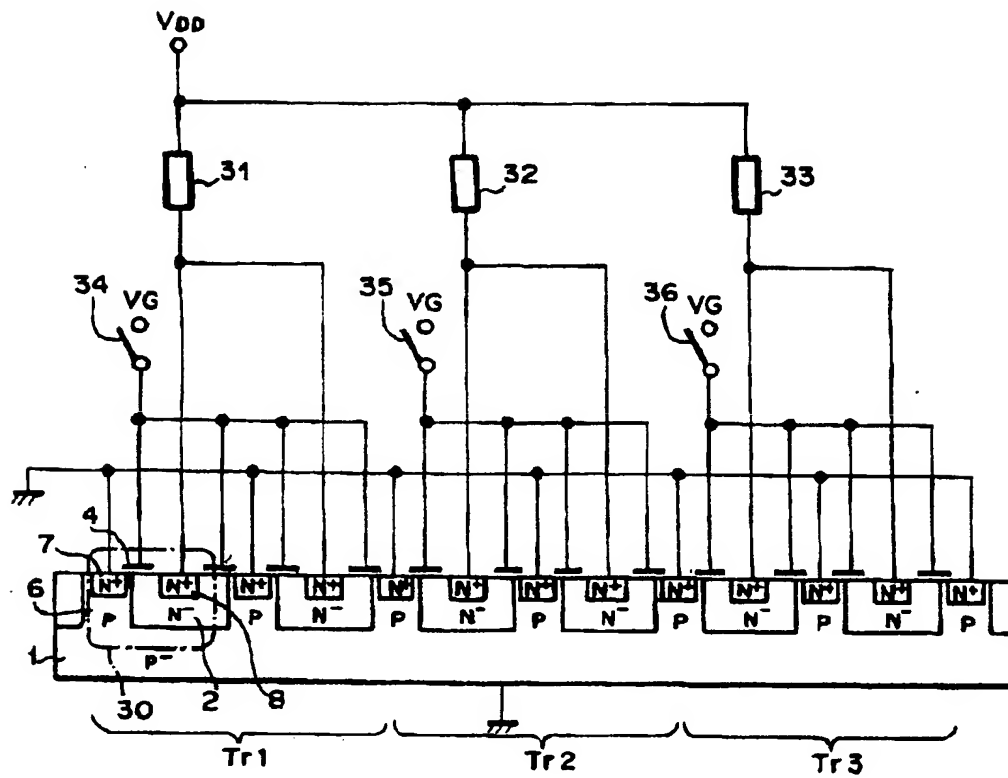
【図 1】



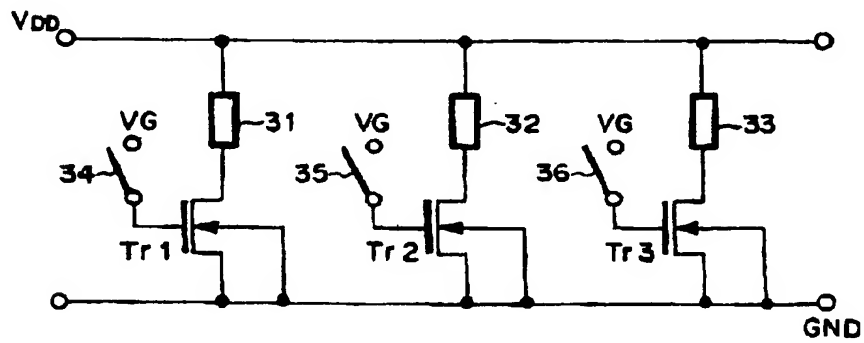
【図 2】



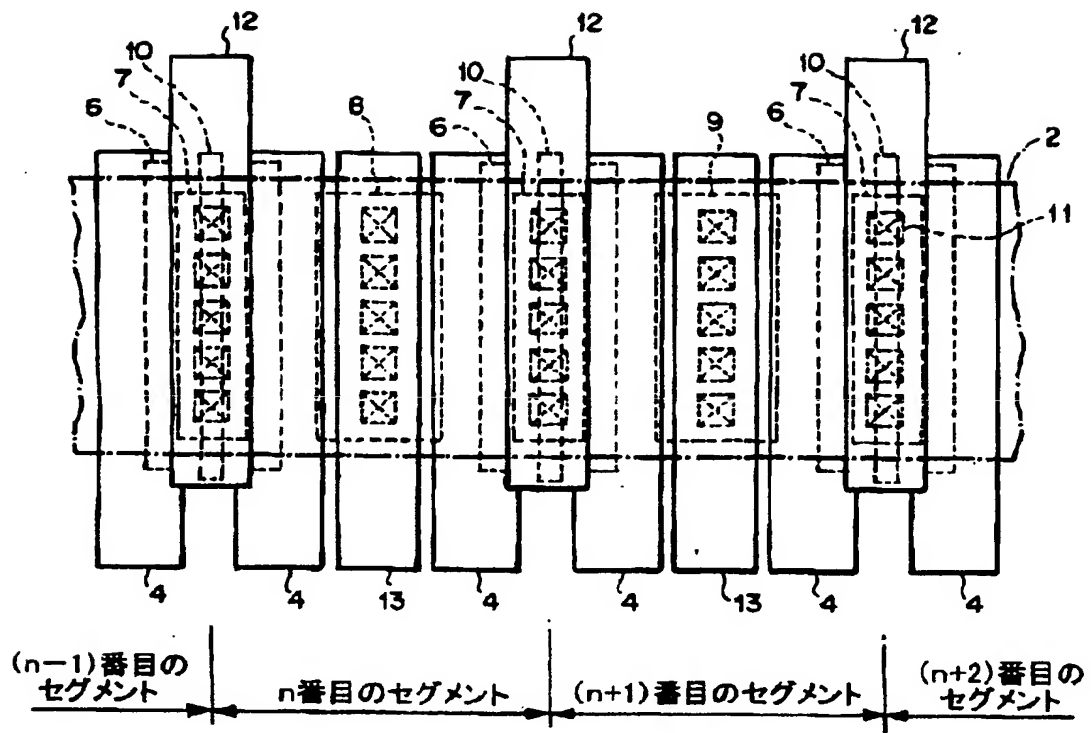
【図 3】



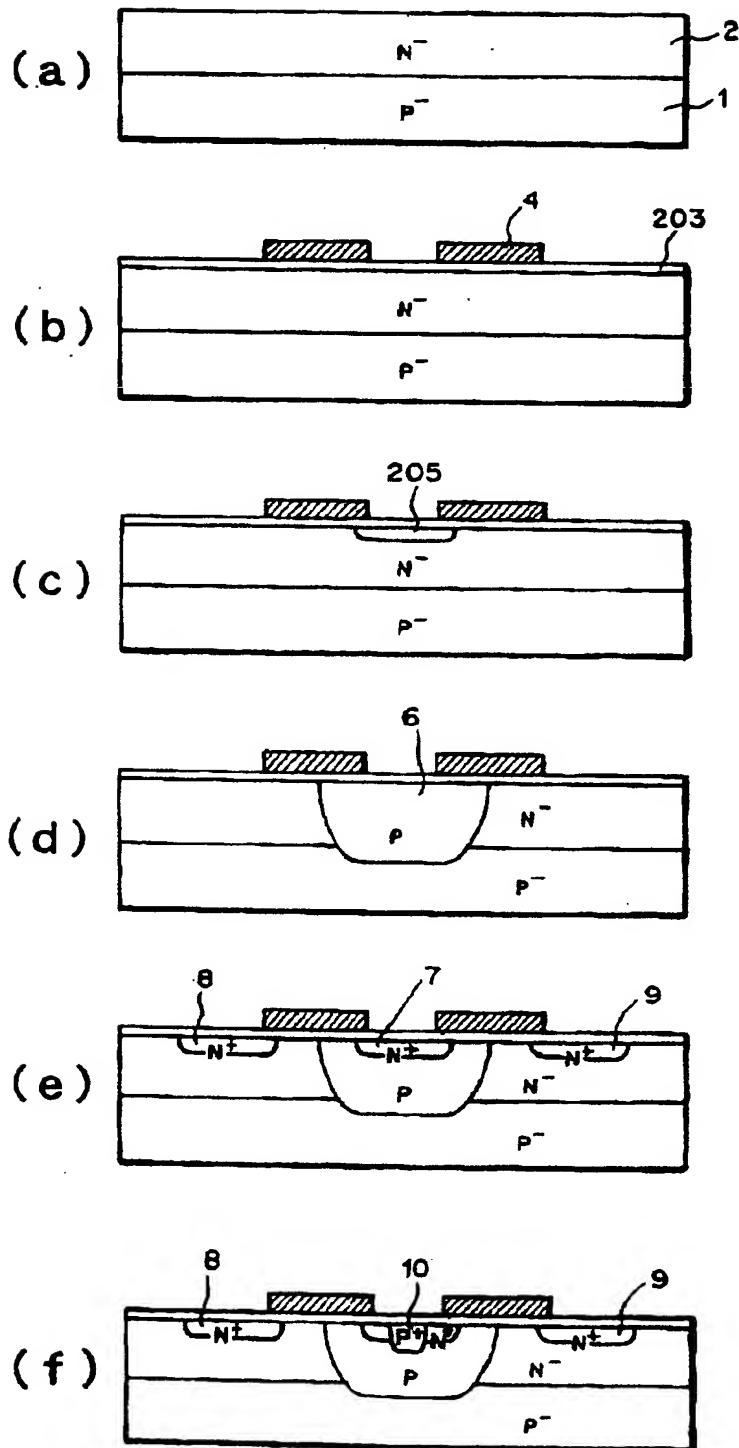
【図 4】



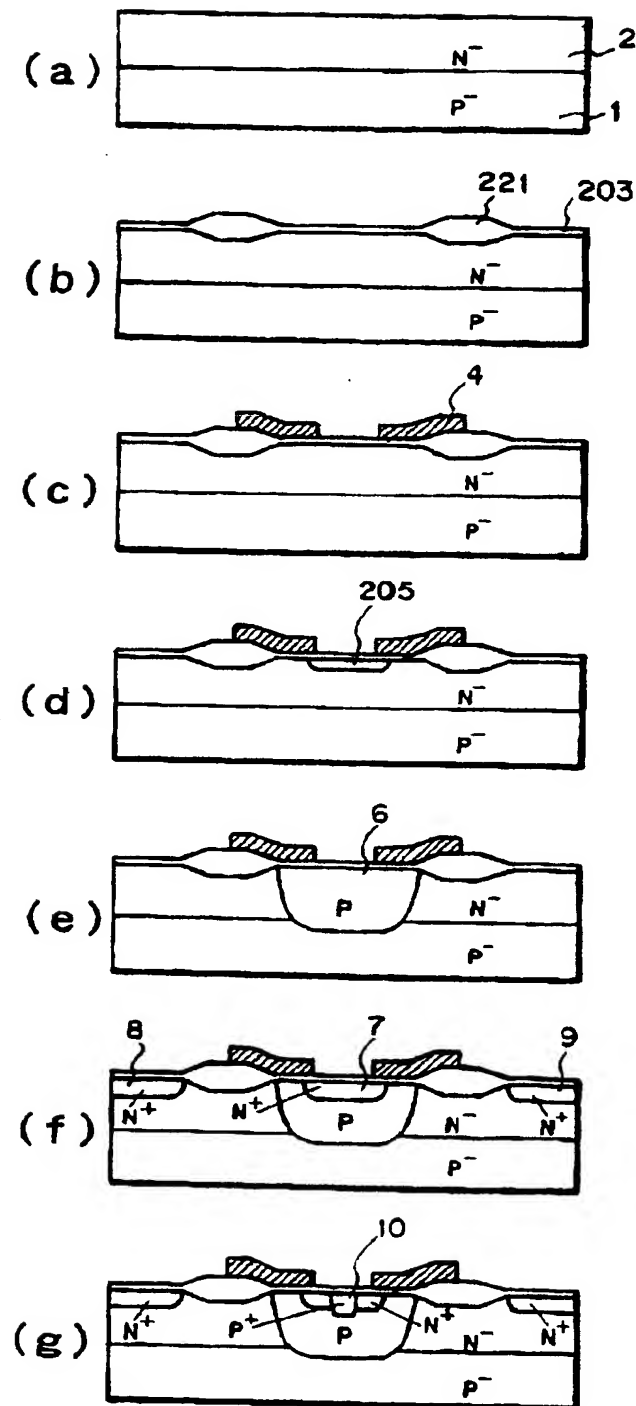
【図 5】



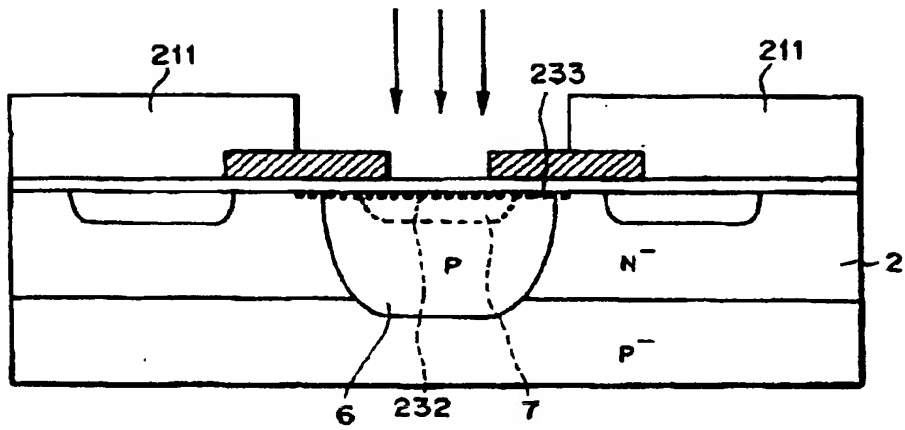
【図 6】



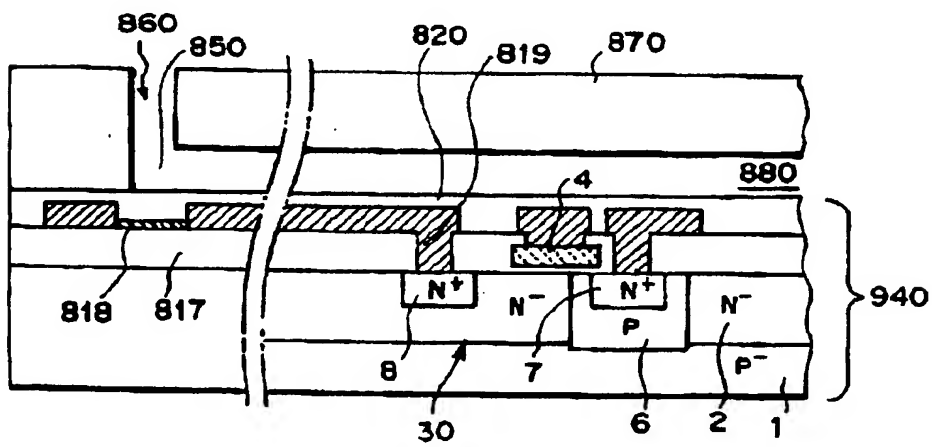
【図 8】



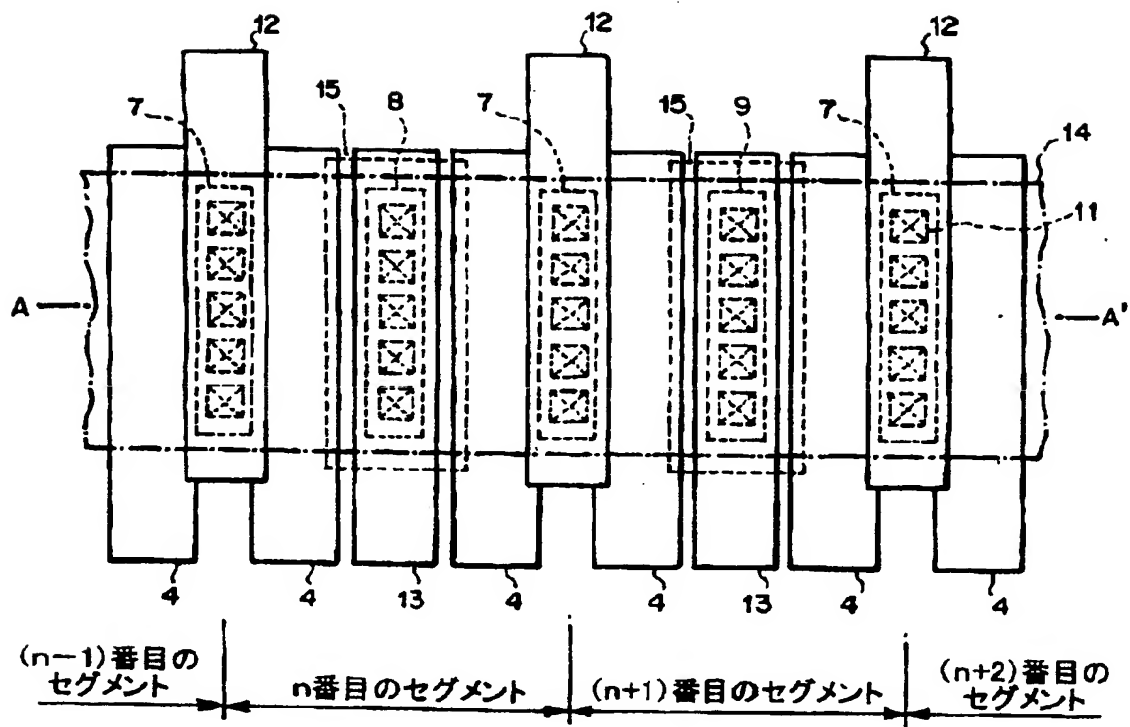
【図 9】



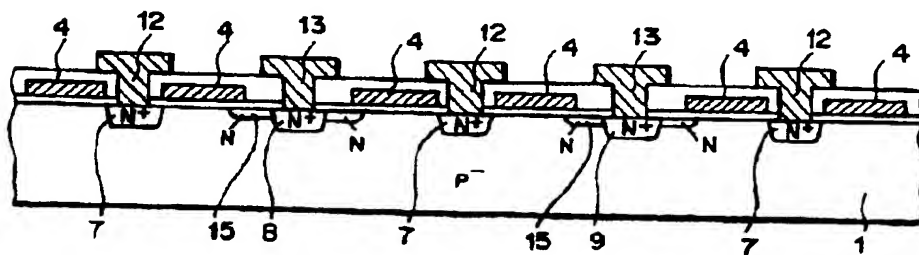
【図 10】



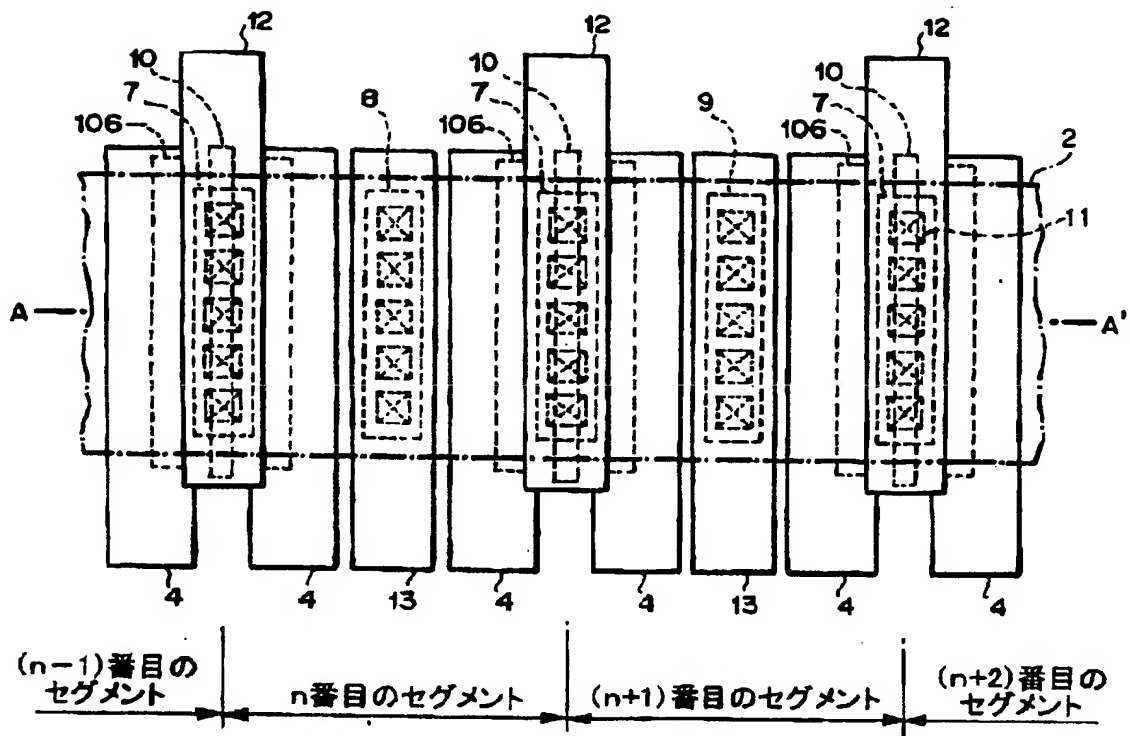
【図 1 1】



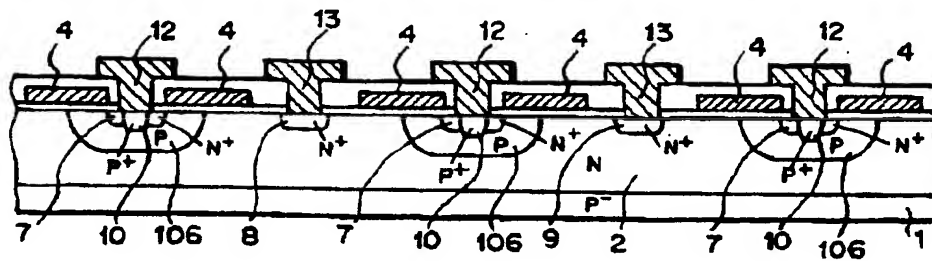
【图 12】



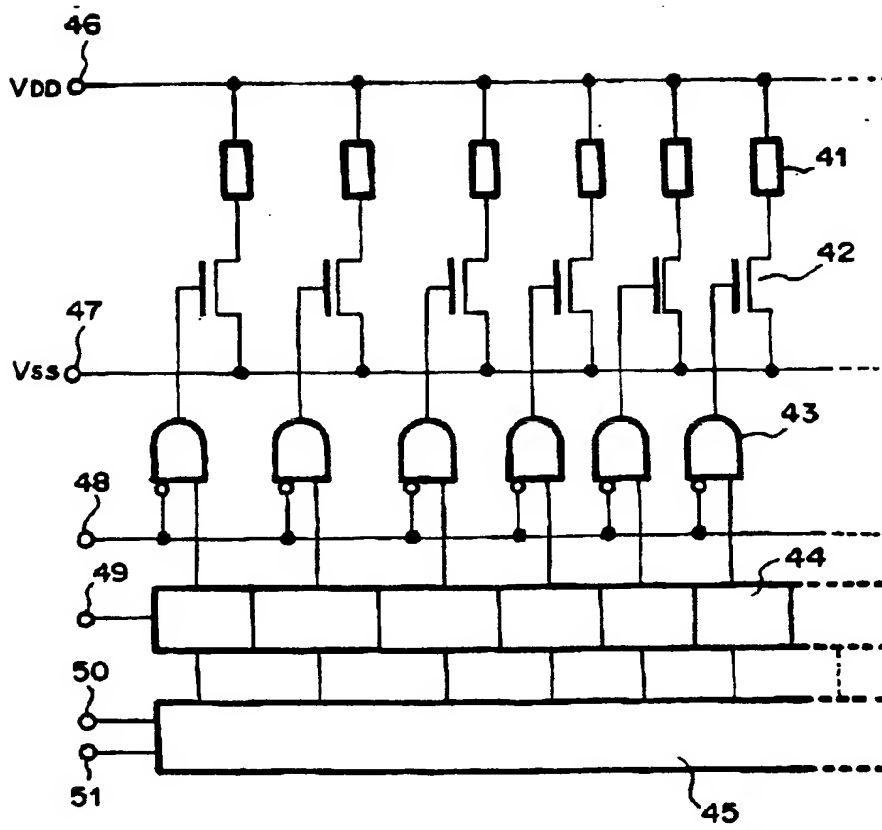
【図 13】



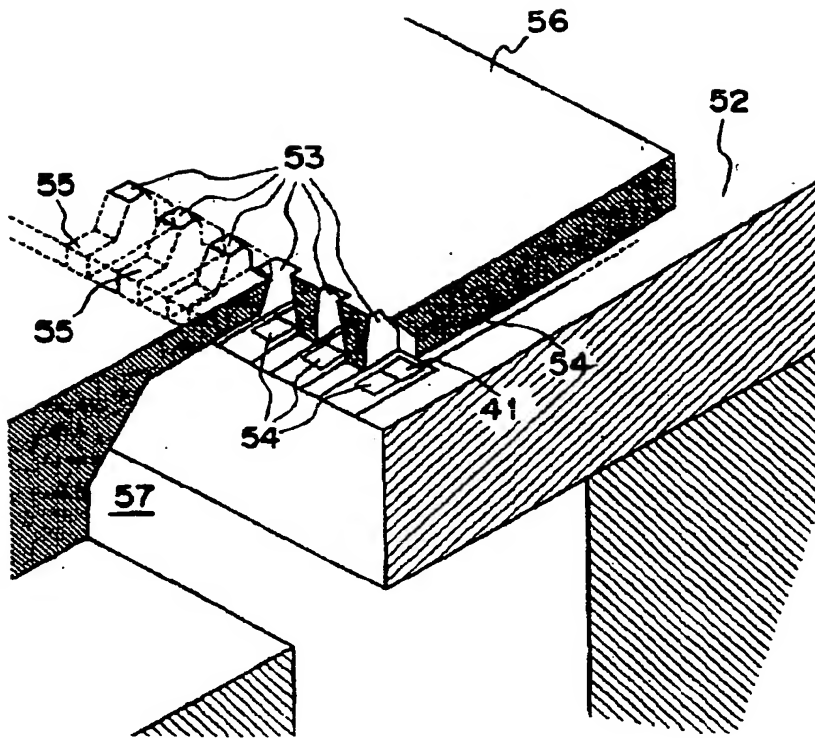
【図 14】



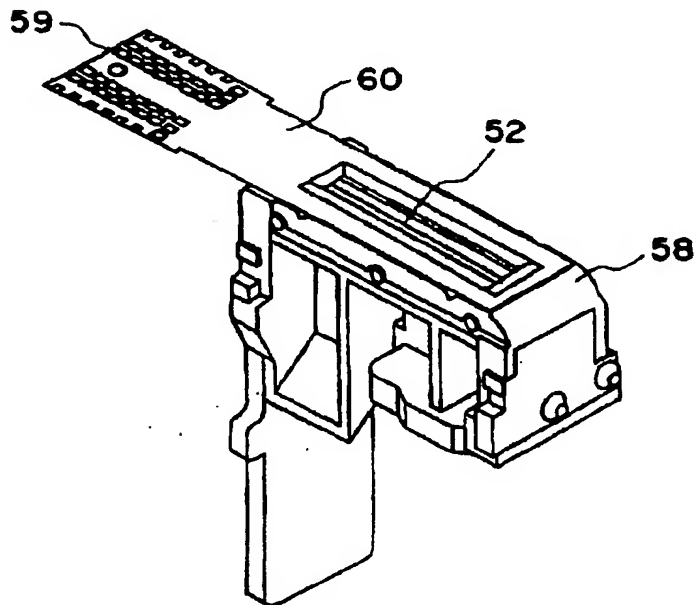
【図 15】



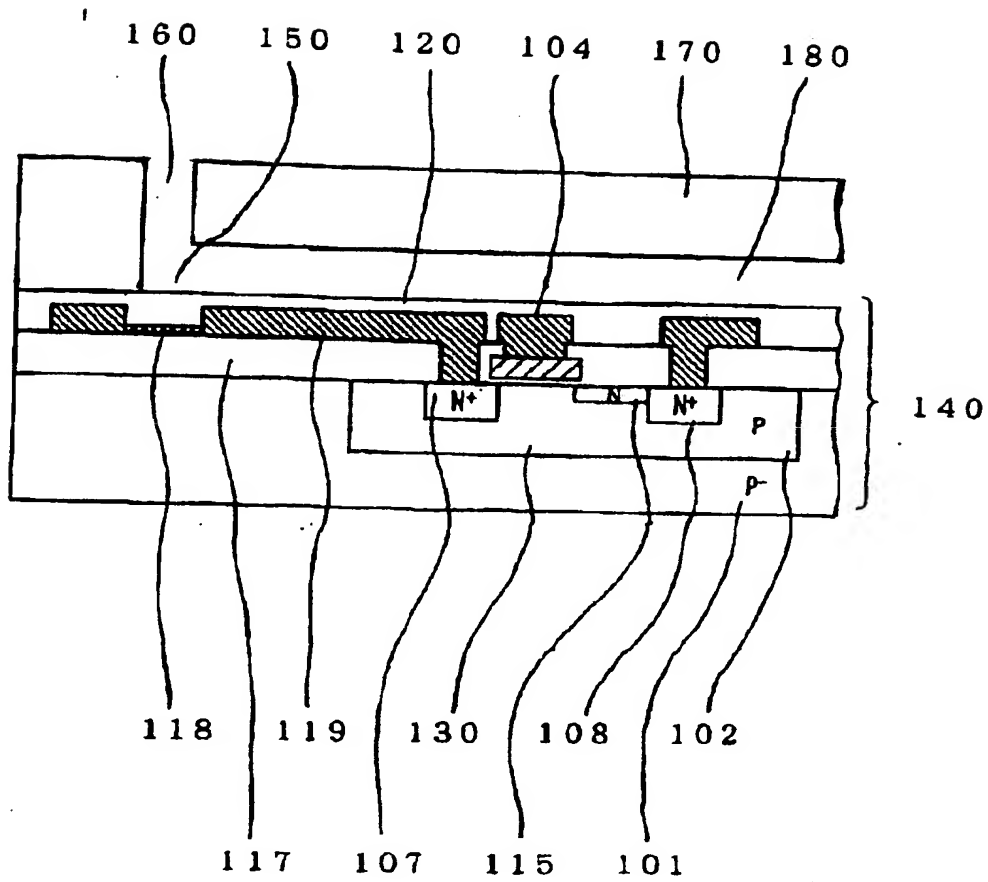
【図 16】



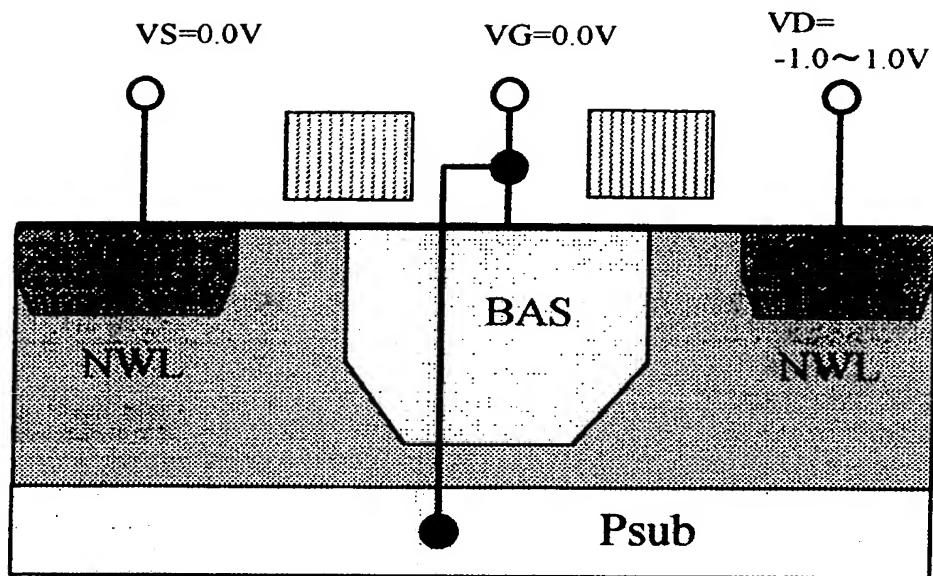
【図 17】



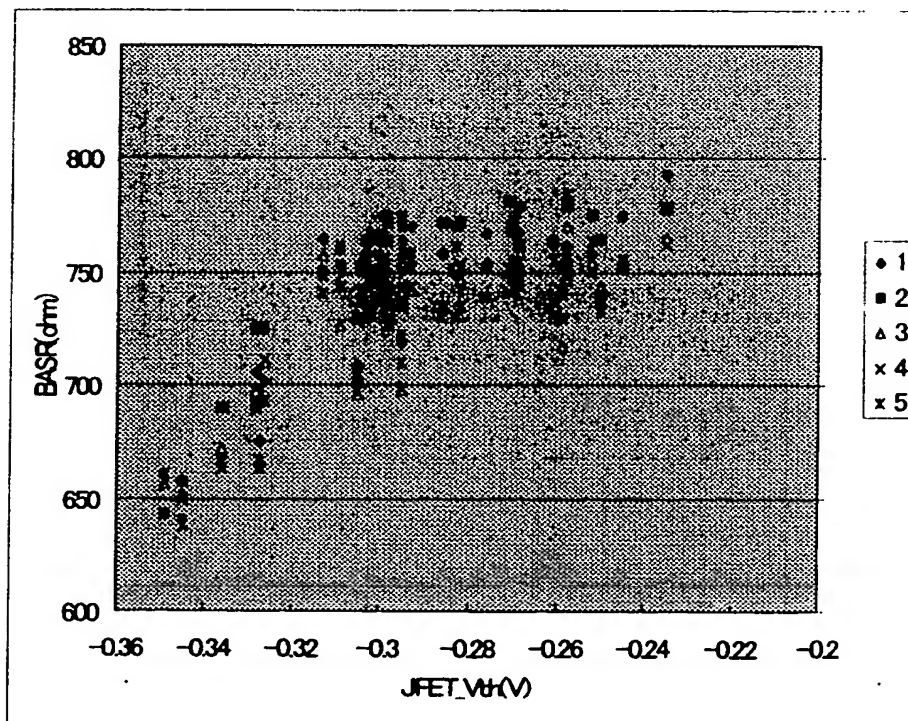
【図 19】



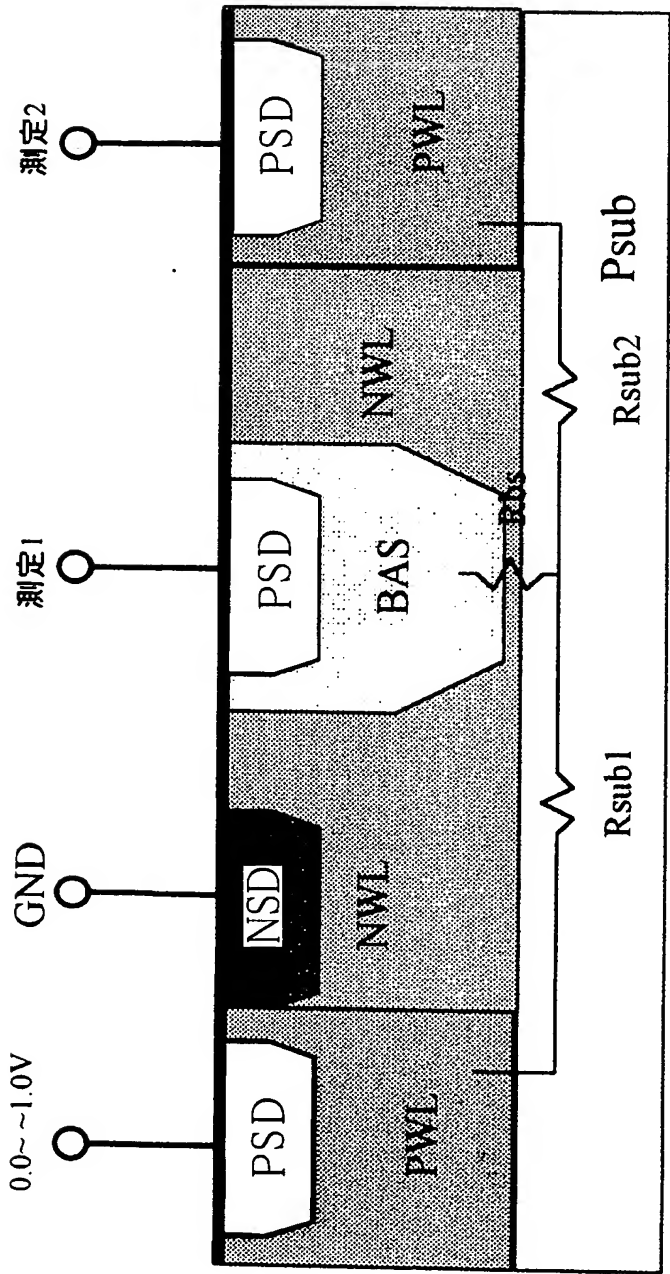
【図 20】



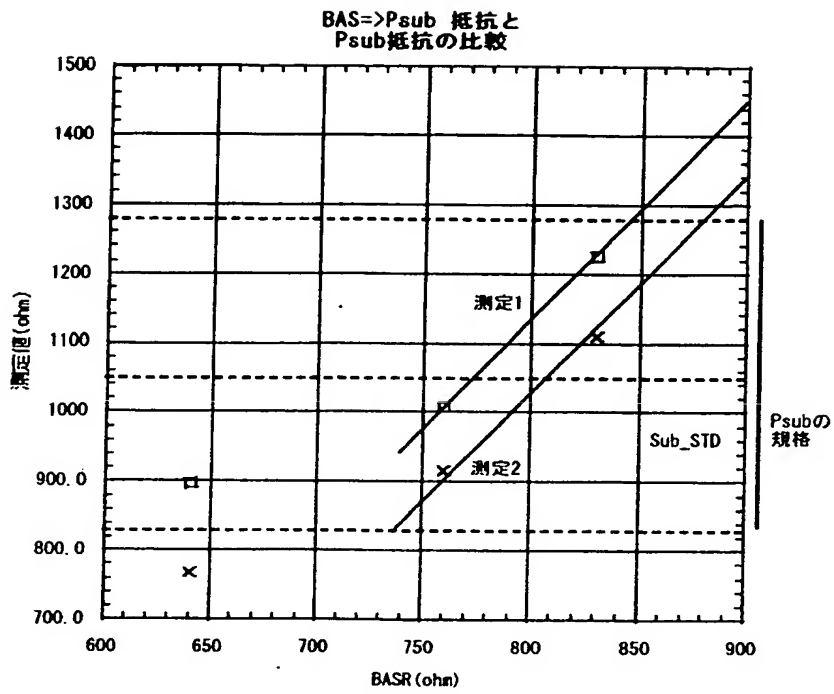
【図 21】



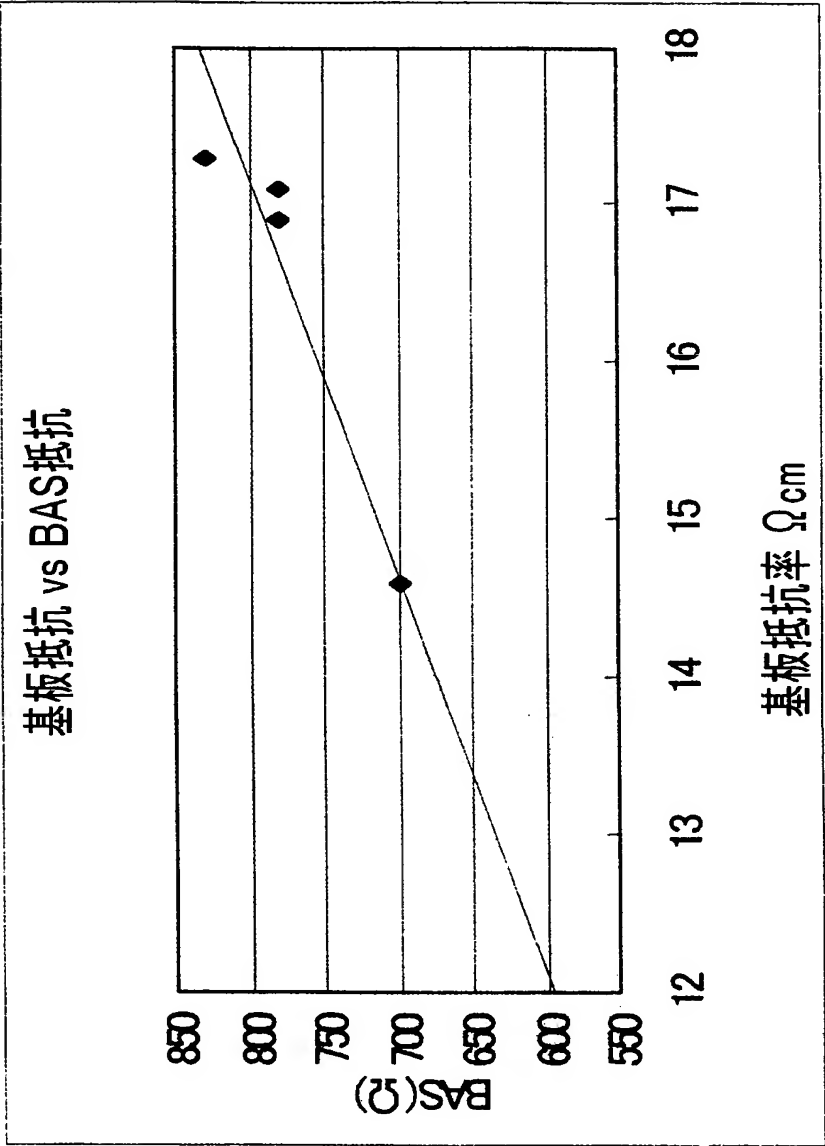
【図 2 2】



【図 2 3】



【図 24】



【書類名】 要約書

【要約】

【課題】 高耐電圧により大電流化が可能で、オン抵抗が低く高速動作が可能で、高集積化と省エネルギーが可能で、素子間分離の容易な、電気熱変換素子駆動用の半導体装置を提供する。

【解決手段】 電気熱変換素子とそれに通電するためのスイッチング素子とが p 型半導体基体 1 に集積化されている。スイッチング素子は、半導体基体 1 の表面に設けられた n 型ウエル領域 2 と、それに隣接して設けられチャネル領域を提供する p 型ベース領域 6 と、その表面側に設けられた n 型ソース領域 7 と、n 型ウエル領域 2 の表面側に設けられた n 型ドレイン領域 8, 9 と、チャネル領域上にゲート絶縁膜を介して設けられたゲート電極 4 とを有する絶縁ゲート型電界効果トランジスタである。ベース領域 6 は、ドレイン領域 8, 9 を横方向に分離するように設けられた、ウエル領域 2 よりも不純物濃度の高い半導体からなる。

【選択図】 図 2

特願 2 0 0 2 - 2 0 1 6 8 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 0 0 7]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 3 0 日

[変 更 理 由]

新 規 登 録

住 所

東 京 都 大 田 区 下 丸 子 3 丁 目 3 0 番 2 号

氏 名

キヤノン株式会社